



UNIONE EUROPEA

**FONDI
STRUTTURALI
EUROPEI**

pon
2014-2020



MIUR

Ministero dell'Istruzione, dell'Università e della Ricerca
 Dipartimento per la Programmazione
 Direzione Generale per interventi in materia di edilizia
 scolastica, per la gestione dei fondi strutturali per
 l'istruzione e per l'innovazione digitale
 Ufficio IV

PER LA SCUOLA - COMPETENZE E AMBIENTI PER L'APPRENDIMENTO (FSE-FESR)

PROGRAMMAZIONE PREVENTIVA (con Insegnante Tecnico Pratico)

Codice Mod. **RQ 10.3** Pag. 1 / 2

A.S.	2020/2021	DOCENTI	
DISCIPLINA	TECNOLOGIE E PROGETTAZIONE DI SISTEMI INFORMATICI E DI TELECOMUNICAZIONI		
CLASSE	3	INDIRIZZO	INFORMATICA E TELECOMUNICAZIONI ART. TELECOMUNICAZIONI

COMPETENZE

SCEGLIERE DISPOSITIVI E STRUMENTI IN BASE ALLE LORO CARATTERISTICHE FUNZIONALI

REDIGERE RELAZIONI TECNICHE E DOCUMENTARE LE ATTIVITÀ INDIVIDUALI E DI GRUPPO RELATIVE A SITUAZIONI PROFESSIONALI

GESTIRE PROGETTI SECONDO LE PROCEDURE E GLI STANDARD PREVISTI DAI SISTEMI AZIENDALI DI GESTIONE DELLA QUALITÀ E DELLA

SICUREZZA.

N°	Titolo del modulo	Contenuti	Attività di laboratorio	Obiettivi disciplinari	Periodo
1	DISPOSITIVI DIGITALI	PROPRIETÀ E TEOREMI DELL'ALGEBRA DI BOOLE PORTE LOGICHE FUNZIONE DI COMMUTAZIONE E FORME CANONICHE MINIMIZZAZIONE DI UNA FUNZIONE DI COMMUTAZIONE ANALISI E SINTESI DI UN CIRCUITO COMBINATORIO	ANALISI DEL FUNZIONAMENTO DELLE PORTE LOGICHE; SINTESI DI UN SEMPLICE CIRCUITO COMBINATORIO SIMULAZIONE CON TINKERCAD	Conoscere la funzione delle porte logiche SAPER SINTETIZZARE UN CIRCUITO COMBINATORIO	SETTEMBRE OTTOBRE

E-mail: MITD450009@istruzione.it PEC: MITD450009@pec.istruzione.it

Sito Web: www.itcserasmo.it

2	VHDL	ENTITÀ ED ARCHITETTURA IL TIPO BIT, BIT_VECTOR, STD_LOGIC STD_LOGIC_VECTOR TIPO ENUMERATIVO MODELLI DESCRITTIVI "BEHAVIORAL", "DATA FLOW", "STRUCTURAL" ASSEGNAZIONE CONDIZIONALE STATEMENT SEQUENZIALI MULTIPLEXER E DEMULTIPLEXER IN VHDL ENCODER E DECODER IN VHDL	SIMULAZIONE E SINTESI DELLE PORTE LOGICHE SIMULAZIONE E SINTESI DI UN HALF- ADDER, FULL-ADDER E SOMMATORE BINARIO SIMULAZIONE E SINTESI DI UN HALF- SUBTRACTOR, FULL-SUBTRACTOR E SOTTRATTORE BINARIO SIMULAZIONE E SINTESI DI UN DECODER BDC-7SEGMENTI SIMULAZIONE CON HTTPS://WWW.EDAPLAYGROUND.COM/	Conoscere la sintassi del linguaggio VHDL SAPER DESCRIVERE, SIMULARE E SINTETIZZARE UN CIRCUITO COMBINATORIO TRAMITE AMBIENTE DI SVILUPPO ISE	NOVEMBRE DICEMBRE GENNAIO
3	CIRCUITI SEQUENZIALI	CIRCUITI ASINCRONI E SINCRONI LATCH SR FLIP-FLOP JK, T E D CONTATORI SINCRONI E ASINCRONI REGISTRI STATEMENT SEQUENZIALI IN VHDL CONTATORI ASINCRONI E SINCRONI IN VHDL STRUTTURA IF-ELSIF-ELSE STRUTTURA CASE-WHEN CONTATORI E REGISTRI IN VHDL	SINTESI DI FLIP-FLOP SINTESI DI CONTATORI SINCRONI	CONOSCERE LA DIFFERENZA TRA UN CIRCUITO SINCRONO E ASINCRONO CONOSCERE LA DIFFERENZA TRA UN CIRCUITO SEQUENZIALE E COMBINATORIO	Febbraio Marzo
4	AUTOMI A STATI FINITI	MODELLO DI MOORE E DI MEALY DESCRIZIONE DI UN AUTOMA MEDIANTE DIAGRAMMA DEGLI STATI E TABELLE DEGLI STATI E DELLE USCITE AUTOMI RICONOSCITORI DI SEQUENZE DESCRIZIONE IN VHDL DI UN AUTOMA DI TIPO MOORE E DI TIPO MEALY	SINTESI DI UN AUTOMA RICONOSCITORE DI SEQUENZE	CONOSCERE LA DIFFERENZA TRA AUTOMA DI MEALY E MOORE SAPER ANALIZZARE E/O CREARE LA STRUTTURA DI UN AUTOMA	APRILE MAGGIO

Data 05/01/2021

Il Docente